

日本国特許庁

JAPAN PATENT OFFICE

JC979 U.S. PTO  
10/084974  
03/01/02



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月27日

出願番号

Application Number:

特願2001-089880

出願人

Applicant(s):

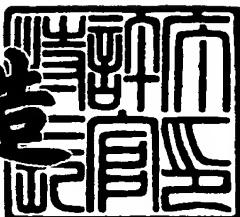
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年11月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3097334

【書類名】 特許願

【整理番号】 0140119

【提出日】 平成13年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/187

【発明の名称】 P L L回路のモード切替方法及びP L L回路のモード制御回路

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

【氏名】 青木 考樹

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

【氏名】 先間 宏行

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL回路のモード切替方法及びPLL回路のモード制御回路

【特許請求の範囲】

【請求項1】 基準分周信号と比較分周信号との位相を比較する位相比較器の比較結果に基づいて電圧制御発振器の出力信号を所望の周波数にロックするPLL回路を高速にロックアップする第1のモードと通常使用する第2のモードを切り替えるPLL回路のモード切替方法であって、

前記位相比較器の出力信号に応じた電流を出力するチャージポンプのZ状態の時に、前記第1のモードと第2のモードとを切り替えることを特徴とするPLL回路のモード切替方法。

【請求項2】 前記モードの切り替えは、

前記位相比較器の出力信号に基づいて前記PLL回路のロック状態を検出するロック検出回路のロック検出信号を、

前記位相比較器の出力信号と、

前記基準分周信号を生成するリファレンスカウンタ及び前記比較分周信号を生成するメインカウンタのうちの少なくともいずれか一方のクロック信号及び内部状態信号と

により制御して生成したモード切替信号に基づいて行うことを特徴とする請求項1に記載のPLL回路のモード切替方法。

【請求項3】 前記モードの切り替えは、

前記位相比較器の出力信号に基づいて前記PLL回路のロック状態を検出するロック検出回路のロック検出信号を、

前記位相比較器の出力信号と、

前記基準分周信号を生成するリファレンスカウンタ及び前記比較分周信号を生成するメインカウンタのうちの少なくとも一方の分周比設定を変更させるシフトレジスタの分周比設定信号と

により制御して生成したモード切替信号に基づいて行うことを特徴とする請求項1に記載のPLL回路のモード切替方法。

【請求項4】 基準分周信号と比較分周信号との位相を比較する位相比較器

の比較結果に基づいて電圧制御発振器の出力信号を所望の周波数にロックし、高速にロックアップする第1のモードと通常使用する第2のモードとを有するPLL回路のモード制御回路であって、

前記位相比較器の出力信号に応じた電流を出力するチャージポンプのZ状態の時に、前記第1のモードと第2のモードを切り替えるように生成したモード切替信号を供給する状態検出回路を備えたことを特徴とするPLL回路のモード制御回路。

【請求項5】 前記状態検出回路は、

前記位相比較器の出力信号に基づいて前記PLL回路のロック状態を検出するロック検出回路のロック検出信号を入力し、

前記チャージポンプのZ状態の時に前記モードを切り替えるように前記モード切替信号を生成することを特徴とする請求項4に記載のPLL回路のモード制御回路。

【請求項6】 前記PLL回路は、前記基準分周信号を生成するリファレンスカウンタ及び前記比較分周信号を生成するメインカウンタを備え、

前記状態検出回路は、

前記位相比較器の出力信号と、

前記リファレンスカウンタ及び前記メインカウンタのうちの少なくともいずれか一方のクロック信号及び内部状態信号と

により前記ロック検出信号を制御して前記モード切替信号を生成することを特徴とする請求項5に記載のPLL回路のモード制御回路。

【請求項7】 前記状態検出回路は、

前記リファレンスカウンタのクロック信号がクロック入力端子に入力され、同カウンタの内部状態信号がデータ入力端子に入力され、前記位相比較器の第1パルス信号がリセット入力端子に入力される第1フリップフロップと、

前記メインカウンタのクロック信号がクロック入力端子に入力され、同カウンタの内部状態信号がデータ入力端子に入力され、前記位相比較器の第2パルス信号がリセット入力端子に入力される第2フリップフロップと、

前記第1及び第2フリップフロップの出力信号が入力されるアンド回路と、

前記アンド回路の出力信号により前記ロック検出信号をラッチして前記モード切替信号を出力するラッチ回路と  
を備えたことを特徴とする請求項6に記載のPLL回路のモード制御回路。

【請求項8】 前記PLL回路は、前記基準分周信号を生成するリファレンスカウンタと、前記比較分周信号を生成するメインカウンタと、該リファレンスカウンタ及びメインカウンタのうちの少なくとも一方の分周比設定を変更する分周比設定信号を供給するシフトレジスタとを備え、

前記状態検出回路は、

前記位相比較器の出力信号及び前記分周比設定信号により前記ロック検出信号を制御して前記モード切替信号を生成することを特徴とする請求項5に記載のPLL回路のモード制御回路。

【請求項9】 前記状態検出回路は、

前記位相比較器の第1パルス信号及び第2パルス信号が入力されるオア回路と

前記ロック検出信号がデータ入力端子に入力され、前記分周比設定信号がリセット入力端子に入力され、前記オア回路の出力信号がクロック入力端子に入力されるフリップフロップと、  
を備え、前記フリップフロップから前記モード切替信号を出力することを特徴とする請求項8に記載のPLL回路のモード制御回路。

【請求項10】 前記状態検出回路には、前記モード切替信号の生成を所定時間遅延させる遅延回路を設けたことを特徴とする請求項4乃至9のいずれか1項に記載のPLL回路のモード制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PLL回路のモード切替方法及びPLL回路のモード制御回路に係り、詳しくは高速モードと通常モードの2つのモードを備えたPLL回路のモード切替方法及びPLL回路のモード制御回路に関する。

【0002】

近年、携帯電話等の移動体通信等に利用されるPLL周波数シンセサイザとして用いられるPLL回路は、高速ロックアップに対する要求とともにロック中の高C/N（キャリアノイズ比）、低スプリアスリークに対する要求が厳しくなってきている。相反する2つの要求を実現する手段の1つとして、ロックアップをするときはループゲインを高くし高速にロックアップさせる高速モードと、ロックした後はループゲインを下げることによって高いC/Nと低いスプリアス特性を得るために通常モードという2つのモードを切り替える方法がある。

#### 【0003】

##### 【従来の技術】

図10は、従来のPLL周波数シンセサイザを示す概略ブロック図である。

PLL回路80の位相比較器84は、リファレンスカウンタ82の基準分周信号LDRとメインカウンタ83の比較分周信号LDPの位相を比較し、比較の結果に応じたパルス幅を持つアップパルス信号UPまたはダウンパルス信号DOWNを出力する。そして、チャージポンプ85はこれらのパルス信号UP, DOWNに応じた電流を出力し、これをローパスフィルタ86を介してVCO87に入力し、VCO87の発振周波数を制御している。

#### 【0004】

ところで、基準分周信号LDRと比較分周信号LDPの位相が一致するとき（ロック状態）にチャージポンプ85の出力電流を0（ゼロ）にすると系に不感帯が生じるために、位相比較器84からアップ電流・ダウン電流を出している。そして、ロック状態に流れるこれら出力電流がC/N, スプリアスリークに影響があるために、通常モードではこれら出力電流を抑えるようにしている。

#### 【0005】

一方、PLL回路80のローパスフィルタが固定の場合、これらの出力電流が多い方がロックアップ時間は短くなる。そのため、高速モードとしてチャージポンプ85の出力電流を通常モードよりも多くする（又は、アップパルス信号UP・ダウンパルス信号DOWNのパルス幅を大きくする）。

#### 【0006】

これら通常モードと高速モードの切り替えは、位相比較器84の出力信号（ア

ップパルス信号UP・ダウンパルス信号DOWN)に基づいてロック状態を検出するロック検出回路89により行われる。すなわち、ロック検出回路89の出力はモード切替信号SWとして利用され、そのモード切替信号SWにより通常モードと高速モードを切り替えるタイミングはロック状態に基づいて行われる。

#### 【0007】

ロック状態では、基準分周信号LDRの周波数と比較分周信号LDPの周波数が一致する。従って、両信号LDR, LDPの位相差が予め設定した所定範囲内に入ったときに通常モードに切り替え、それ以外の時には高速モードになるようにしている。

#### 【0008】

##### 【発明が解決しようとする課題】

ところで、ローパスフィルタ86が固定のPLL回路80は、チャージポンプ85やローパスフィルタ86などの諸特性によってある位相差を持って安定する場合がある。このため、高速モードと通常モードとではPLL回路80が安定する状態が異なり、高速モードから通常モードへのモード切り替え時にロックが外れて基準分周信号LDRと比較分周信号LDPの位相差が広がってしまうことがある。

#### 【0009】

このような場合、トータルのロックアップ時間は、高速モードでのロックアップ時間と、モード切り替え時に生ずるロック外れからの再ロックアップ時間とを足した時間となる。従って、トータルのロックアップ時間を短くするには、このロック外れに起因する再ロックアップ時間を短くする必要がある。

#### 【0010】

しかしながら、従来のPLL回路80では、ロック検出回路89は高速モードでのロックアップ後(ロック状態を検出した後)に、通常モードにするべくモード切替信号SWを任意に出力する。この高速モードから通常モードへのモード切替信号SWがチャージポンプ85の動作中に出力されると、ロック外れによるロック周波数とロック外れ周波数とのずれ、つまりロック外れ幅が大きくなる。

#### 【0011】

ロック外れ幅が大きくなると、再ロックアップ時に最大ロック外れ周波数に到達するまでの時間が長くなり、この結果再ロックアップ時間が長くなる。すなわち、トータルのロックアップ時間は長くなる。

#### 【0012】

本発明は上記問題点を解決するためになされたものであって、その目的は高速モードと通常モードとを備えたPLL回路において、高速ロックアップを可能とするPLL回路のモード切替方法及びPLL回路のモード制御回路を提供することにある。

#### 【0013】

##### 【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、PLL回路を高速にロックアップする第1のモード又は通常使用する第2のモードに切り替えるモード切り替えは、位相比較器の出力信号に応じた電流を出力するチャージポンプのZ状態の時に行われる。

#### 【0014】

請求項2に記載の発明によれば、請求項1に記載の発明の作用に加えて、モード切り替えは、位相比較器の出力信号と、リファレンスカウンタ及びメインカウンタのうちの少なくとも一方のクロック信号及び内部状態信号とによりロック検出信号を制御して生成したモード切替信号に基づいて行う。

#### 【0015】

請求項3に記載の発明によれば、請求項1に記載の発明の作用に加えて、モード切り替えは、位相比較器の出力信号と、リファレンスカウンタ及びメインカウンタの少なくとも一方の分周比設定を変更させるシフトレジスタの分周比設定信号とによりロック検出信号を制御して生成したモード切替信号に基づいて行う。

#### 【0016】

請求項4に記載の発明によれば、高速にロックアップする第1のモードと通常使用する第2のモードとを有するPLL回路において、状態検出回路は、モード切替信号を位相比較器の出力信号に応じた電流を出力するチャージポンプのZ状態のときに供給する。

【0017】

請求項5に記載の発明によれば、請求項4に記載の発明の作用に加えて、状態検出回路は、位相比較器の出力信号に基づいてPLL回路のロック状態を検出するロック検出回路のロック検出信号を、チャージポンプのZ状態のときに出力させるように生成したモード切替信号を供給する。

【0018】

請求項6に記載の発明によれば、請求項5に記載の発明の作用に加えて、状態検出回路は、位相比較器の出力信号と、リファレンスカウンタ及びメインカウンタのうち少なくともいずれか一方のクロック信号及び内部状態信号に基づいてロック検出信号を制御して生成したモード切替信号を供給する。

【0019】

請求項7に記載の発明によれば、請求項6に記載の発明の作用に加えて、状態検出回路は、第1及び第2フリップフロップ、アンド回路、及びラッチ回路を備える。そして、状態検出回路は、位相比較器の出力信号と、リファレンスカウンタ及びメインカウンタのクロック信号及び内部状態信号に基づいて、アンド回路の出力信号によりロック検出信号をラッチしてモード切替信号を生成する。

【0020】

請求項8に記載の発明によれば、請求項5に記載の発明の作用に加えて、状態検出回路は、位相比較器の出力信号及びシフトレジスタの分周比設定信号に基づいてロック検出信号を制御して生成したモード切替信号を供給する。

【0021】

請求項9に記載の発明によれば、請求項8に記載の発明の作用に加えて、状態検出回路は、オア回路と、フリップフロップとを備える。そして、状態検出回路は、位相比較器の出力信号及びシフトレジスタの分周比設定信号に基づいて生成したモード切替信号をフリップフロップから供給する。

【0022】

請求項10に記載の発明によれば、請求項4乃至9のいずれか1項に記載の発明の作用に加えて、状態検出回路は、モード切替信号の生成を遅延回路により所定時間遅延させて供給する。

【0023】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図1～図5に従って説明する。

【0024】

図1は、PLL周波数シンセサイザ10の概略ブロック図を示し、このPLL周波数シンセサイザ10はPLL回路20、ロック検出回路30、及びチャージポンプZ状態検出回路（以下、状態検出回路）40とを備えている。

【0025】

PLL回路20は、ループゲインを高くして高速にロックアップする高速モード（第1のモード）と、ループゲインを低くして高C/Nと低スプリアス特性を得る通常モード（第2のモード）とを切り替える機能を持つ。ロック検出回路30は、PLL回路20からのアップパルス信号UP（第1パルス信号）、ダウンパルス信号DOWN（第2パルス信号）に基づいてPLL回路20のロック状態を検出し、その検出結果に基づいてロック検出信号S4を生成する。状態検出回路40は、PLL回路20からのカウンタ内部状態信号RS、MS、カウンタクロック信号RCK、MCK、パルス信号UP、DOWNに基づきロック検出信号S4を制御して生成したモード切替信号CSをPLL回路20に供給する。

【0026】

先ず、PLL回路20を説明する。

PLL回路20は、シフトレジスタ21、基準分周器としてのリファレンスカウンタ22、位相比較器23、比較分周器としてのメインカウンタ24、チャージポンプ25、ローパスフィルタ（以下、LPF）26、電圧制御発振器（以下、VCO）27、プリスケーラ28を備える。

【0027】

シフトレジスタ21は、外部から入力されるクロック信号CLKに基づいてシリアル信号DTを順次取り込み、取り込んだシリアル信号DTをパラレル信号DATAとしてリファレンスカウンタ22、メインカウンタ24に出力する。

【0028】

リファレンスカウンタ22は、例えば水晶振動子の発振に基づく所定周波数の基準信号 $f_r$ を入力し、その基準信号 $f_r$ を前記パラレル信号Dataに基づく基準分周比にて分周した基準分周信号LDRを位相比較器23に出力する。この位相比較器23には、後述するようにメインカウンタ24から比較分周信号LDPが入力される。

## 【0029】

位相比較器23は、両信号LDR, LDPの位相を比較し、その位相差に応じたパルス幅を持つアップパルス信号UP、及びダウンパルス信号DOWNをチャージポンプ25に出力する。

## 【0030】

チャージポンプ25は、アップパルス信号UP及びダウンパルス信号DOWNに基づく電流値を持つ信号DOをLPF26に出力する。

LPF26は、チャージポンプ25の出力信号DOを平滑することにより高周波成分を除去した直流電圧を持つ制御信号VTをVCO27に出力する。VCO27は、制御信号VTの電圧値に応じた周波数を持つ出力信号 $f_v$ をプリスケーラ28及び外部回路（図示略）に出力する。

## 【0031】

プリスケーラ28は、出力信号 $f_v$ を固定分周比にて分周した比較信号 $f_p$ をメインカウンタ24に出力する。

メインカウンタ24は、比較信号 $f_p$ を前記パラレル信号Dataに基づく比較分周比にて分周した比較分周信号LDPを位相比較器23に出力する。

## 【0032】

このように構成されたPLL回路20では、出力信号 $f_v$ の周波数がロック周波数より低くなると比較信号 $f_p$ の周波数が基準信号 $f_r$ の周波数より低くなり、両信号 $f_r$ ,  $f_p$ の位相に差が生じる。位相比較器23は、両信号 $f_r$ ,  $f_p$ の位相差に応じたパルス幅を持つアップパルス信号UP及びダウンパルス信号DOWNを出力する。例えば、位相比較器23は、アップパルス信号UPのパルス幅をダウンパルス信号DOWNのそれよりも長くする。

## 【0033】

チャージポンプ25はアップパルス信号UP及びダウンパルス信号DOWNのLレベルのパルス幅に応じた出力信号DOをLPF26に出力する。ちなみに、チャージポンプ25は、アップパルス信号UP及びダウンパルス信号DOWNがHレベルの期間、出力端子をハイ・インピーダンス状態（Z状態）にする。LPF26は出力信号DOに基づいて制御信号VTの電圧値を変更、例えば高い電圧値の制御信号VTを出力する。そして、VCO27は、制御信号VTに基づいて高い周波数の出力信号fvを出力する。

#### 【0034】

逆に、出力信号fvの周波数が所望の周波数より高くなったときには、比較信号fpの周波数が基準信号frの周波数より高くなり、両信号fr, fpの位相に差が生じる。位相比較器23は、両信号fr, fpの位相差に応じたパルス幅を持つアップパルス信号UP及びダウンパルス信号DOWNを出力する。

#### 【0035】

チャージポンプ25はアップパルス信号UP及びダウンパルス信号DOWNのLレベルのパルス幅に応じた出力信号DOをLPF26に出力する。ちなみに、チャージポンプ25は、前記同様にアップパルス信号UP及びダウンパルス信号DOWNがHレベルの期間、出力端子をハイ・インピーダンス状態（Z状態）にする。LPF26は、出力信号DOに基づいて低い電圧値の制御信号VTを出力する。VCO27は、制御信号VTに基づいて低い周波数の出力信号fvを出力する。

#### 【0036】

PLL回路20は、上記の動作を繰り返し実行し、VCO27から出力される出力信号fvの周波数を、リファレンスカウンタ22の基準分周比及びメインカウンタ24の比較分周比に対応する周波数にロックする。

#### 【0037】

更に、PLL回路20は、上記したようにモード切替信号CSに応答して高速モードと通常モードとを切り替える機能を持ち、この機能は、本実施形態ではチャージポンプ25にて実現する。チャージポンプ25は、入力されるモード切替信号CSに応答して出力信号DOの電流量をそれぞれのモードに応じて変更する

。即ち、チャージポンプ25は、モード切替信号CSに応答して、その時のモードが高速モードの時には出力信号DOの電流量を通常モードの時のそれよりも多くする。これにより、高速モードの時にはVCO27からの出力信号fvの周波数変化量を大きくし、目的の周波数に速く近づけ、通常モードの時には出力信号fvの周波数変化量を小さくし、周波数を安定にする。

## 【0038】

尚、このようなモード切り替え機能は、位相比較器23またはLPF26にて実現するようにしてもよい。

次に、ロック検出回路30を説明する。

## 【0039】

ロック検出回路30は位相比較器（図示略）等にて構成される。つまり、ロック検出回路30は、アップパルス信号UP及びダウンパルス信号DOWNを入力し、これらパルス信号UP, DOWNの位相差を検出し、その検出結果に基づいてロック検出信号S4を出力する。

## 【0040】

両パルス信号UP, DOWNの立ち上がりエッジの位相差は、PLL回路20の位相比較器23に入力される基準分周信号LDRと比較分周信号LDPの周波数差に応じて大きい。これにより、ロック検出回路30は、両パルス信号UP, DOWNの位相差が所定値以下になるとPLL回路20のロック状態を検出し、所定値以上になるとPLL回路20の非ロック状態を検出する。尚、本実施形態のロック検出回路30は、両パルス信号UP, DOWNの位相差が所定値以下（ロック状態）の時にはHレベルのロック検出信号S4を出力し、所定値以上（非ロック状態）の時にはLレベルのロック検出信号S4を出力する。

## 【0041】

次に、状態検出回路40を説明する。

図2に示すように、状態検出回路40は、第1及び第2フリップフロップ（以下、FF）41, 42、アンド回路（AND）43、ラッチ回路（LATCH）44から構成される。

## 【0042】

第1FF41はDフリップフロップであり、そのクロック入力端子にリファレンスカウンタ22のクロック信号RCKが入力され、データ入力端子に同カウンタ22の内部状態信号RSが入力される。第1FF41のリセット入力端子(RESET)にはアップパルス信号UPが入力される。

#### 【0043】

第2FF42はDフリップフロップであり、そのクロック入力端子にメインカウンタ24のクロック信号MCKが入力され、データ入力端子に同カウンタ24の内部状態信号MSが入力される。第2FF42のリセット入力端子(RESET)にはダウンパルス信号DOWNが入力される。

#### 【0044】

これら第1及び第2FF41, 42の出力信号S1, S2はアンド回路43に入力され、そのアンド回路43の出力信号S3はラッチ回路44のストローブ入力端子(STB)に入力される。ラッチ回路44のデータ入力端子にはロック検出回路30から出力されるロック検出信号S4が入力される。そして、ラッチ回路44は、アンド回路43の出力信号S3によりロック検出信号S4をラッチしてモード切替信号CSを出力する。

#### 【0045】

つまり、状態検出回路40は、ロック検出信号S4をラッチしたモード切替信号CSを出力し、そのモード切替信号CSはチャージポンプ25に入力される。

このように構成される状態検出回路40は、ロック検出回路30がロック状態を検出すると、即ちHレベルのロック検出信号S4を出力すると、これに応答してPLL回路20を通常モードで動作させるようにモード切替信号CSを生成する。一方、状態検出回路40は、ロック検出回路30が非ロック状態を検出すると、即ちLレベルのロック検出信号S4を出力すると、これに応答してPLL回路20を高速モードで動作させるようにモード切替信号CSを生成する。

#### 【0046】

図3は、リファレンスカウンタ22の内部構成例を説明する回路図及びその出力波形図を示す。

図3(a)に示すように、リファレンスカウンタ22は、例えば第1～第5T

フリップフロップ（以下、TFF）5.1～5.5、オア回路5.6、アンド回路5.7から構成される。

【0047】

リファレンスカウンタ22は、第1～第5TFF5.1～5.5の例えれば5段にて構成されるダウンカウンタであり、その第1TFF5.1にはクロック入力としてクロック信号RCKが入力される。第1～第5TFF5.1～5.5の出力信号OUT1～5はアンド回路5.7に入力され、このアンド回路5.7からカウンタ出力として基準分周信号LDRが出力される。

【0048】

また、第2～第5TFF5.2～5.5の出力信号OUT2～5はオア回路5.6に入力され、このオア回路5.6からカウンタ内部出力として内部状態信号RSが出力される。

【0049】

このように構成されるリファレンスカウンタ22は、図3（b）に示すように、基準分周信号LDR（カウンタ出力）に対し2クロック手前からLレベルの内部状態信号RS（カウンタ内部出力）を出力する。つまり、リファレンスカウンタ22は、基準分周信号LDRが出力される直前の状態を示す内部状態信号RSを出力する。

【0050】

メインカウンタ24は、リファレンスカウンタ22と同様に構成され、比較分周信号LDPに対しクロック信号MCKの2クロック手前からLレベルの内部状態信号MSを出力する。つまり、メインカウンタ24は、比較分周信号LDPが出力される直前の状態を示す内部状態信号MSを出力する。

【0051】

従って、図4に示すように第1FF4.1は、内部状態信号RSの立ち下がり時（Hレベルの基準分周信号LDRが出力される2クロック手前）からアップパルス信号UPの立ち上がり時までLレベルの信号S1を出力する。

【0052】

同様に、第2FF4.2は、内部状態信号MSの立ち下がり時（Hレベルの比較

分周信号LDPが出力される2クロック手前)からダウンパルス信号DOWNの立ち上がり時までLレベルの信号S2を出力する。

【0053】

従って、これら第1及び第2FF41, 42の出力信号S1, S2が入力されるアンド回路43は、両パルス信号UP, DOWNに基づくチャージポンプ25の動作中ではLレベルの信号S3を出力する。一方、アンド回路43は、チャージポンプ25の非動作中、つまりZ状態ではHレベルの信号S3を出力する。

【0054】

そして、ラッチ回路44は、ロック検出回路30から出力されるロック検出信号S4をアンド回路43の出力信号S3にてラッチし、このラッチしたロック検出信号S4をモード切替信号CSとして出力する。

【0055】

このように生成されるモード切替信号CSは、そのモード切り替えタイミングが、図4に示すようにアンド回路43の出力信号S3の立ち上がりエッジに同期する。

【0056】

つまり、状態検出回路40は、チャージポンプ25が動作している時のモード切替信号CSのレベル変化を該チャージポンプ25が非動作状態、つまりZ状態の時に移動させる。

【0057】

次に、このように構成されたPLL周波数シンセサイザ10の作用について説明する。

今、図4に示すように、PLL回路20は、通常モードで動作している。この時、ロック検出回路30はHレベルのロック検出信号S4(ロック状態)を出力し、それに応答して状態検出回路40はHレベルのモード切替信号CSをチャージポンプ25に出力している。この通常モードでは、チャージポンプ25から出力される信号DOの電流量が抑えられ、PLL回路20はVCO27から出力される信号fvの周波数変化量を小さくして周波数を安定にする。

【0058】

次いで、ロック周波数を変更すると位相比較器23から出力される両パルス信号UP, DOWNの位相差が所定値以上となり、ロック検出回路30はLレベルのロック検出信号S4(非ロック状態)を出力する。

## 【0059】

状態検出回路40は、このLレベルのロック検出信号S4に応答し、ロック検出信号S4をアンド回路43から出力されるLレベルの信号S3に基づいてラッピングさせる。つまり、状態検出回路40は、ロック検出回路30からLレベルのロック検出信号S4(非ロック状態)が出力された後、アンド回路43の出力信号S3の立ち上がりエッジに同期してLレベルのモード切替信号CSを出力する。これにより、PLL回路20は高速モードで動作して高速ロックアップさせる。

## 【0060】

チャージポンプ25は、位相比較器23からLレベルのパルス信号UP, DOWNに応答して信号DOを出力し、Hレベルのパルス信号UP, DOWNに応答して出力端子をZ状態にする。従って、通常モードから高速モードへの切り替えは、チャージポンプ25のZ状態のときに実施される。

## 【0061】

次いで、ロック検出回路30が再度ロック状態を検出するHレベルのロック検出信号S4を出力すると、同様に状態検出回路40は、Hレベルのモード切替信号CSをチャージポンプ25のZ状態のときに出力する。これにより、PLL回路20は通常モードで動作する。このとき、高速モードから通常モードへの切り替えは、チャージポンプ25のZ状態のときに実施されることにより、ロック外れ幅は小さくなる。

## 【0062】

図5は、高速モードから通常モードへのモード切り替えを実施した後のロック波形図を示す。同図に示すように、時間T0にてモード切り替えを実施した時、切り替え直後の位相比較において従来でのロック外れによる周波数F2に対し、本実施形態では周波数F1にまでロック外れが抑えられる。つまり、チャージポンプ25のZ状態のときにモード切り替えを実施することでロック外れ幅が抑えられる。このため、本実施形態では、最大ロック外れ到達時間T1が、従来の最

大ロック外れ到達時間T2より短くなる。従って、この最大ロック外れ到達時間の差（T2-T1）だけ再ロックアップ時間が短くなり、トータルのロックアップ時間がそれに比べて短くなる。

## 【0063】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 状態検出回路40は、リファレンスカウンタ22、メインカウンタ24の内部状態信号RS、MS、クロック信号RCK、MCK、及び位相比較器23のパルス信号UP、DOWNに基づいてロック検出信号S4をラッチしたモード切替信号CSを出力する。状態検出回路40は、チャージポンプ25のZ状態の時にモード切替信号CSを出力するため、ロック外れ幅は抑えられる。従って、再ロックアップ時間が短くなり、トータルのロックアップ時間は短くなる。

## 【0064】

## (第二実施形態)

以下、本発明を具体化した第二実施形態を図6及び図7に従って説明する。

尚、説明の便宜上、第一実施形態と同様の構成、信号については同一の符号を付してその説明を一部省略する。

## 【0065】

図6は、本実施形態の状態検出回路60の回路図である。この状態検出回路60は、フリップフロップ(FF)61、アンド回路62、ラッチ回路63から構成される。

## 【0066】

アンド回路62には、アップパルス信号UP及びダウンパルス信号DOWNが入力される。

FF61はDフリップフロップであり、そのクロック入力端子にメインカウンタ24のクロック信号MCKが入力され、データ入力端子に同カウンタ24の内部状態信号MSが入力される。FF61のリセット入力端子にはアンド回路62の出力信号S11が入力される。従って、FF61は、図7に示すように内部状態信号MSの立ち下がり時からアンド回路62の出力信号S11の立ち上がり時までLレベルの信号S12を出力する。

## 【0067】

ラッチ回路63のデータ入力端子にはロック検出回路30から出力されるロック検出信号S4が入力され、ストローブ入力端子にはFF61の出力信号S12が入力される。そして、ラッチ回路63は、ロック検出回路30から出力されるロック検出信号S4をFF61の出力信号S12でラッチしたモード切替信号CSをチャージポンプ25に出力する。

## 【0068】

つまり、状態検出回路60は、メインカウンタ24の内部状態信号MS、クロック信号MCK、及びパルス信号UP, DOWNに基づいてロック検出信号S4を制御したモード切替信号CSをチャージポンプ25に出力する。尚、本実施形態でロック検出信号S4を制御する信号は、リファレンスカウンタ22の内部状態信号RS、クロック信号RCKとしてもよい。

## 【0069】

次に、このように構成されるPLL周波数シンセサイザ10の作用について説明する。

今、図7に示すように、PLL回路20は、通常モードで動作している。この時、ロック検出回路30は、Hレベルのロック検出信号S4（ロック状態）を出力し、それに応答して状態検出回路60はHレベルのモード切替信号CSをチャージポンプ25に出力している。

## 【0070】

この状態から、ロック周波数を変更すると位相比較器23から出力される両パルス信号UP, DOWNの位相差が所定値以上となり、ロック検出回路30はLレベルのロック検出信号S4（非ロック状態）を出力する。

## 【0071】

状態検出回路60は、このLレベルのロック検出信号S4に応答し、該ロック検出信号S4をFF61から出力されるLレベルの信号に基づいてラッチさせる。つまり、状態検出回路60は、上記第一実施形態と同様にしてモード切替信号CSをチャージポンプ25のZ状態の時に出力する。これにより、PLL回路20は高速モードで動作し、高速ロックアップさせる。

## 【0072】

次いで、ロック検出回路30が再度ロック状態を検出するHレベルのロック検出信号S4を出力すると、状態検出回路60は、前記同様にHレベルのモード切替信号CSをチャージポンプ25のZ状態の時に出力する。これにより、PLL回路20は通常モードで動作する。このとき、高速モードから通常モードへの切り替えは、チャージポンプ25のZ状態のときに実施されることにより、ロック外れ幅は小さくなる。

## 【0073】

以上記述したように、本実施形態は、ロック検出信号S4を制御する信号をメインカウンタ24の内部状態信号MS、クロック信号MCKとした。このように構成される状態検出回路60では、第一実施形態と同じ効果を奏すとともに、回路素子を少なくすることができる。

## 【0074】

## (第三実施形態)

以下、本発明を具体化した第三実施形態を図8及び図9に従って説明する。

尚、説明の便宜上、第一及び第二実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

## 【0075】

図8は、本実施形態の状態検出回路70の回路図である。この状態検出回路70は、オア回路71、フリップフロップ(FF)72から構成される。

オア回路71には、アップパルス信号UP及びダウンパルス信号DOWNが入力される。

## 【0076】

FF72はDフリップフロップであり、そのクロック入力端子にオア回路71の出力信号S21が入力され、データ入力端子にロック検出回路30から出力されるロック検出信号S4が入力される。そして、FF72のリセット入力端子にシフトレジスタ21から出力される分周比設定信号LEが入力され、このFF72からモード切替信号CSが出力される。ここで、分周比設定信号LEとは、ロック周波数を変更するべくカウンタの分周比設定を変更するための信号である。

## 【0077】

つまり、本実施形態では、状態検出回路70は、シフトレジスタ21の分周比設定信号LE、及びパルス信号UP, DOWNに基づいてロック検出信号SWを制御したモード切替信号CSをチャージポンプ25に出力する。ちなみに、本実施形態の状態検出回路70は、高速モードから通常モードへのモード切り替え制御を行うことを主として構成されている。これは、高速モードから通常モードへの切り替え時にはロック外れによる影響が特に大きいことを考慮している。

## 【0078】

次に、このように構成されるPLL周波数シンセサイザ10の作用について説明する。

今、図9に示すように、PLL回路20は、通常モードで動作している。この時、ロック検出回路30は、Hレベルのロック検出信号S4（ロック状態）を出力し、それに応答して状態検出回路60はHレベルのモード切替信号CSをチャージポンプ25に出力している。

## 【0079】

この状態から、シフトレジスタ21からLレベルの分周比設定信号LEが出力されると、それに応答してFF72はLレベルのモード切替信号CSを出力する。これにより、PLL回路20は高速モードで動作する。このように、通常モードから高速モードへの切り替えはシフトレジスタ21の分周比設定信号LEにより行われる。

## 【0080】

次いで、ロック検出回路30から再度Hレベルのロック検出信号S4（ロック状態）が出力されると、状態検出回路70はオア回路71の出力信号S21に応答してHレベルのモード切替信号CSを出力する。これにより、PLL回路20は、高速モードで動作する。このように、高速モードから通常モードへの切り替えは、FF72のクロック入力端子に入力されるオア回路の出力信号S21により行われ、モード切替信号CSは出力信号S21の立ち上がりエッジと同期して切り替えられる。

## 【0081】

つまり、高速モードから通常モードへの切り替えは、上記第一及び第二実施形態と同様にしてチャージポンプ25のZ状態のときに実施される。

以上記述したように、本実施形態は、ロック検出信号S4を制御する信号をシフトレジスタ21の分周比設定信号LEとした。このように構成される状態検出回路70では、第一及び第二実施形態と同じ効果を奏するとともに、第二実施形態よりさらに回路素子を少なくすることができる。

#### 【0082】

尚、前記各実施形態は、以下の態様に変更してもよい。

- ・上記各実施形態では、高速モードから通常モードへのモードを切り替える機能はチャージポンプ25にて実現したが、位相比較器23またはLPF26にて実現してもよい。すなわち、位相比較器23は、モード切替信号CSに基づいてアップパルス信号UPまたはダウンパルス信号DOWNのパルス幅を変更することでモード切り替え機能を実現する。また、LPF26は、モード切替信号CSに基づいてLPF26の特性を変えることでモード切り替え機能を実現する。

#### 【0083】

- ・上記各実施形態の状態検出回路40, 60, 70は、ロック検出信号S4を制御してモード切替信号CSを出力したが、このロック検出信号S4の代わりに、例えばシフトレジスタ21の分周比設定信号LEを制御したモード切替信号CSを出力するようにしてもよい。また、このようにPLL回路20の内部に信号のみに限らず、外部から入力される信号を制御してモード切替信号CSを出力するようにしてもよい。

#### 【0084】

- ・上記第一及び第二実施形態では、リファレンスカウンタ22及びメインカウンタ24の内部状態信号RS, MS(カウンタ内部出力)は、基準分周信号LDR, 比較分周信号LDP(カウンタ出力)の2クロック手前の信号としたが、これに限られない。つまり、内部状態信号RS, MSは、基準分周信号LDR, 比較分周信号LDPの直前にチャージポンプ25が動作しているところを確実にマスクすることができるような信号であれば、例えば1又は3クロック以上手前の信号としてもよい。

【0085】

・上記各実施の形態において、遅延回路を設けてもよい。つまり、この遅延回路によりモード切替信号CSのレベル変化が、アップパルス信号UP及びダウンパルス信号DOWNの立ち上がり、即ちチャージポンプ25の動作終了から遅延回路の設定時間（遅延時間）だけ遅れる。このような構成にすることにより、確実にチャージポンプ25の出力端子がZ状態にあるときにモードを変更することができる。

【0086】

以上の様々な実施の形態をまとめると、以下のようになる。

（付記1） 基準分周信号と比較分周信号との位相を比較する位相比較器の比較結果に基づいて電圧制御発振器の出力信号を所望の周波数にロックするPLL回路を高速にロックアップする第1のモードと通常使用する第2のモードを切り替えるPLL回路のモード切替方法であって、

前記位相比較器の出力信号に応じた電流を出力するチャージポンプのZ状態の時に、前記第1のモードと第2のモードとを切り替えることを特徴とするPLL回路のモード切替方法。

（付記2） 前記モードの切り替えは、

前記位相比較器の出力信号に基づいて前記PLL回路のロック状態を検出するロック検出回路のロック検出信号を、

前記位相比較器の出力信号と、

前記基準分周信号を生成するリファレンスカウンタ及び前記比較分周信号を生成するメインカウンタのうちの少なくともいずれか一方のクロック信号及び内部状態信号と

により制御して生成したモード切替信号に基づいて行うことを特徴とする付記1に記載のPLL回路のモード切替方法。

（付記3） 前記モードの切り替えは、

前記位相比較器の出力信号に基づいて前記PLL回路のロック状態を検出するロック検出回路のロック検出信号を、

前記位相比較器の出力信号と、

前記基準分周信号を生成するリファレンスカウンタ及び前記比較分周信号を生成するメインカウンタの少なくとも一方の分周比設定を変更させるシフトレジスタの分周比設定信号と

により制御して生成したモード切替信号に基づいて行うことを特徴とする付記1に記載のPLL回路のモード切替方法。

(付記4) 基準分周信号と比較分周信号との位相を比較する位相比較器の比較結果に基づいて電圧制御発振器の出力信号を所望の周波数にロックし、高速にロックアップする第1のモードと通常使用する第2のモードとを有するPLL回路のモード制御回路であって、

前記位相比較器の出力信号に応じた電流を出力するチャージポンプのZ状態の時に、前記第1のモードと第2のモードを切り替えるように生成したモード切替信号を供給する状態検出回路を備えたことを特徴とするPLL回路のモード制御回路。

(付記5) 前記状態検出回路は、

前記位相比較器の出力信号に基づいて前記PLL回路のロック状態を検出するロック検出回路のロック検出信号を入力し、

前記チャージポンプのZ状態の時に前記モードを切り替えるように前記モード切替信号を生成することを特徴とする付記4に記載のPLL回路のモード制御回路。

(付記6) 前記PLL回路は、前記基準分周信号を生成するリファレンスカウンタ及び前記比較分周信号を生成するメインカウンタを備え、

前記状態検出回路は、

前記位相比較器の出力信号と、

前記リファレンスカウンタ及び前記メインカウンタのうちの少なくともいずれか一方のクロック信号及び内部状態信号と

により前記ロック検出信号を制御して前記モード切替信号を生成することを特徴とする付記5に記載のPLL回路のモード制御回路。

(付記7) 前記内部状態信号は、

前記基準分周信号又は前記比較分周信号が出力される直前の状態を示し、該基

準分周信号又は比較分周信号に対し前記クロック信号の所定クロック手前から出力されることを特徴とする付記6に記載のPLL回路のモード制御回路。

(付記8) 前記状態検出回路は、

前記リファレンスカウンタのクロック信号がクロック入力端子に入力され、同カウンタの内部状態信号がデータ入力端子に入力され、前記位相比較器の第1パルス信号がリセット入力端子に入力される第1フリップフロップと、

前記メインカウンタのクロック信号がクロック入力端子に入力され、同カウンタの内部状態信号がデータ入力端子に入力され、前記位相比較器の第2パルス信号がリセット入力端子に入力される第2フリップフロップと、

前記第1及び第2フリップフロップの出力信号が入力されるアンド回路と、

前記アンド回路の出力信号により前記ロック検出信号をラッチして前記モード切替信号を出力するラッチ回路と

を備えたことを特徴とする付記6又は7に記載のPLL回路のモード制御回路。

(付記9) 前記第1及び第2フリップフロップをDフリップフロップで構成したことを特徴とする付記8に記載のPLL回路のモード制御回路。

(付記10) 前記状態検出回路は、

前記位相比較器の第1パルス信号及び第2パルス信号が入力されるアンド回路と、

前記メインカウンタのクロック信号がクロック入力端子に入力され、同カウンタの内部状態信号がデータ入力端子に入力され、前記アンド回路の出力信号がリセット入力端子に入力されるフリップフロップと、

前記フリップフロップの出力信号により前記ロック検出信号をラッチして前記モード切替信号を供給するラッチ回路と、

を備えたことを特徴とする付記6又は7に記載のPLL回路のモード制御回路。

(付記11) 前記状態検出回路は、

前記位相比較器の第1パルス信号及び第2パルス信号が入力されるアンド回路と、

前記リファレンスカウンタのクロック信号がクロック入力端子に入力され、同カウンタの内部状態信号がデータ入力端子に入力され、前記アンド回路の出力信

号がリセット入力端子に入力されるフリップフロップと、

前記フリップフロップの出力信号により前記ロック検出信号をラッチして前記モード切替信号を供給するラッチ回路と、

を備えたことを特徴とする付記6又は7に記載のPLL回路のモード制御回路。

(付記12) 前記フリップフロップをDフリップフロップで構成したことを特徴とする付記10又は11に記載のPLL回路のモード制御回路。

(付記13) 前記PLL回路は、前記基準分周信号を生成するリファレンスカウンタと、前記比較分周信号を生成するメインカウンタと、該リファレンスカウンタ及びメインカウンタの少なくとも一方の分周比設定を変更する分周比設定信号を供給するシフトレジスタとを備え、

前記状態検出回路は、

前記位相比較器の出力信号及び前記分周比設定信号により前記ロック検出信号を制御して前記モード切替信号を生成することを特徴とする付記5に記載のPLL回路のモード制御回路。

(付記14) 前記状態検出回路は、

前記位相比較器の第1パルス信号及び第2パルス信号が入力されるオア回路と

前記ロック検出信号がデータ入力端子に入力され、前記分周比設定信号がリセット入力端子に入力され、前記オア回路の出力信号がクロック入力端子に入力されるフリップフロップと、

を備え、前記フリップフロップから前記モード切替信号を出力することを特徴とする請求項13に記載のPLL回路のモード制御回路。

(付記15) 前記フリップフロップをDフリップフロップで構成したことを特徴とする付記14に記載のPLL回路のモード制御回路。

(付記16) 前記状態検出回路には、前記モード切替信号の生成を所定時間遅延させる遅延回路を設けたことを特徴とする付記4乃至15のいずれか一に記載のPLL回路のモード制御回路。

(付記17) 前記状態検出回路は、

前記位相比較器、前記チャージポンプ、及び該チャージポンプの出力信号を平

滑して高周波成分を除去し前記電圧制御発振器の制御信号を出力するローパスフィルタのいずれかに前記モード切替信号を出力することを特徴とする付記4乃至16のいずれか一に記載のPLL回路のモード制御回路。

(付記18) 基準分周信号と比較分周信号との位相を比較する位相比較器の比較結果に基づいて電圧制御発振器の出力信号を所望の周波数にロックし、高速にロックアップする第1のモードと通常使用する第2のモードとを有するPLL回路と、

付記4乃至17のいずれか一に記載のモード制御回路と、  
を備えたことを特徴とする半導体装置。

#### 【0087】

##### 【発明の効果】

以上詳述したように、本発明によれば、高速モードと通常モードとを備えたPLL回路において、高速ロックアップを可能とするPLL回路のモード切替方法及びPLL回路のモード制御回路を提供することができる。

##### 【図面の簡単な説明】

【図1】 PLL周波数シンセサイザのブロック図である。

【図2】 第一実施形態のチャージポンプZ状態検出回路の回路図である。

【図3】 カウンタの内部構成例を示す回路図及び出力波形図である。

【図4】 第一実施形態のタイミングチャートである。

【図5】 高速モードから通常モードへのモード切り替え後を示すロック波形図である。

【図6】 第二実施形態のチャージポンプZ状態検出回路の回路図である。

【図7】 第二実施形態のタイミングチャートである。

【図8】 第三実施形態のチャージポンプZ状態検出回路の回路図である。

【図9】 第三実施形態のタイミングチャートである。

【図10】 従来のPLL周波数シンセサイザのブロック図である。

##### 【符号の説明】

LDR 基準分周信号

LDP 比較分周信号

C S モード切替信号

2 0 P L L 回路

2 3 位相比較器

2 5 チャージポンプ

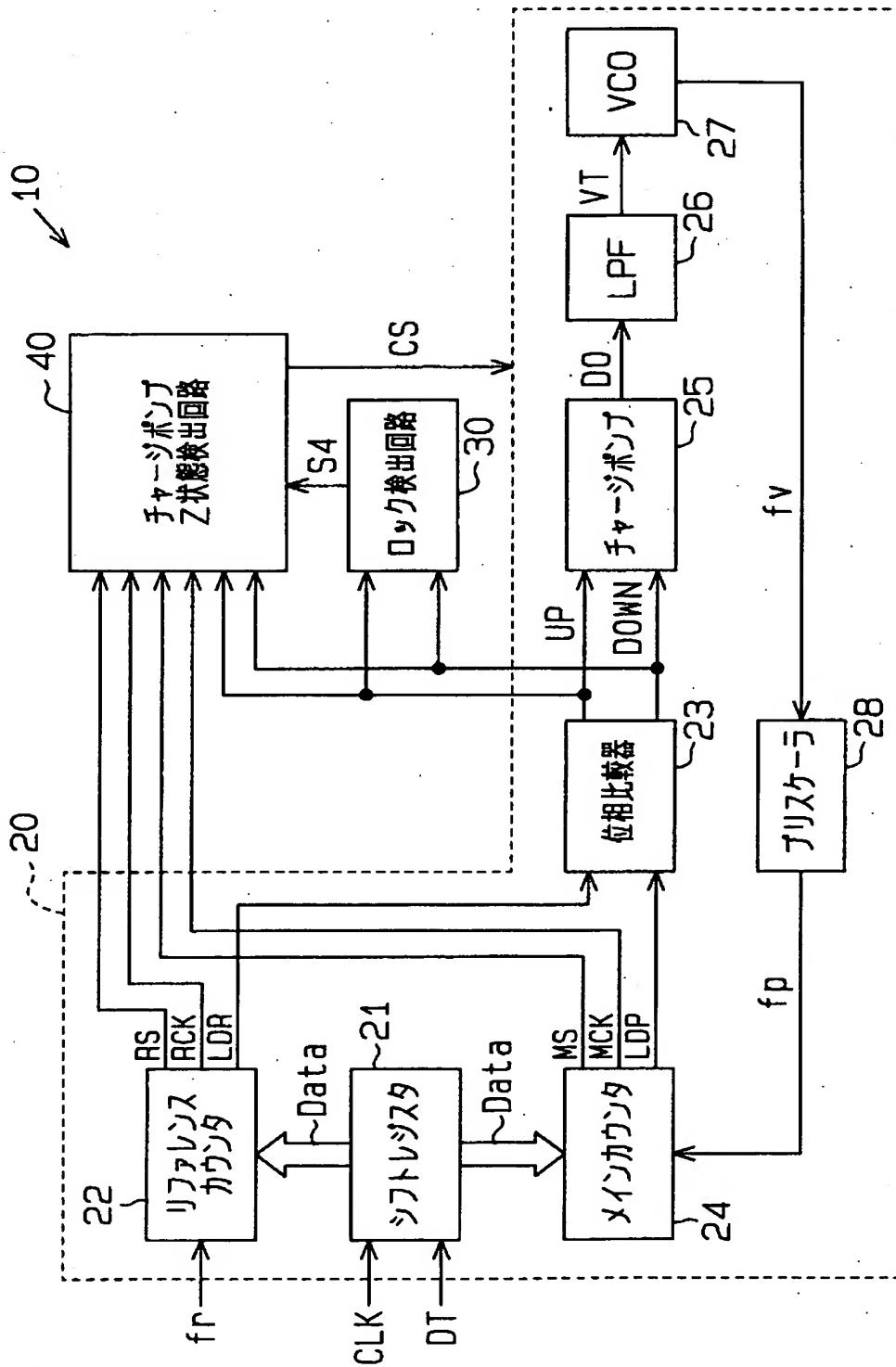
2 7 電圧制御発振器 (V C O)

4 0 状態検出回路

【書類名】 図面

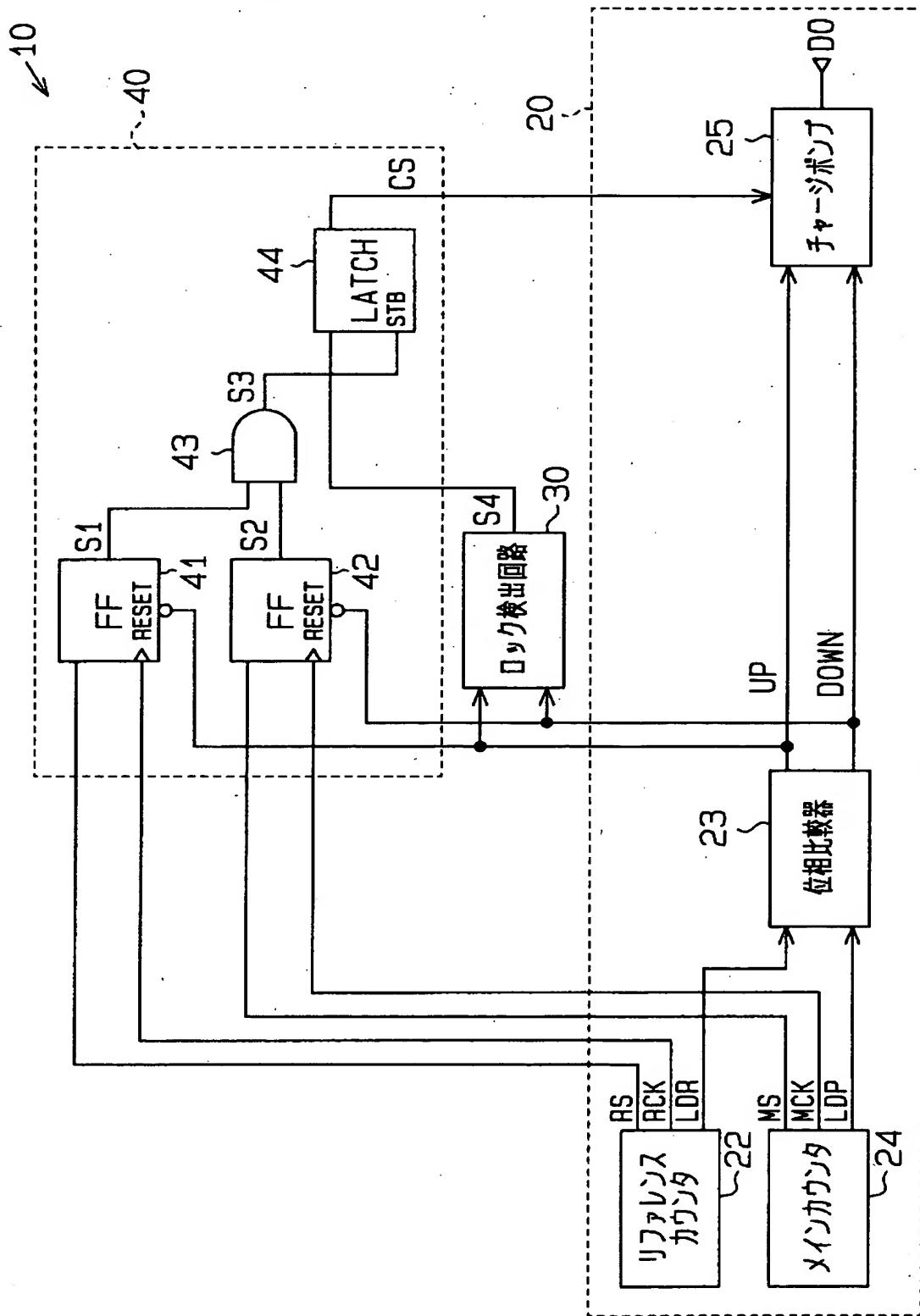
【図1】

## PLL周波数シンセサイザのブロック図



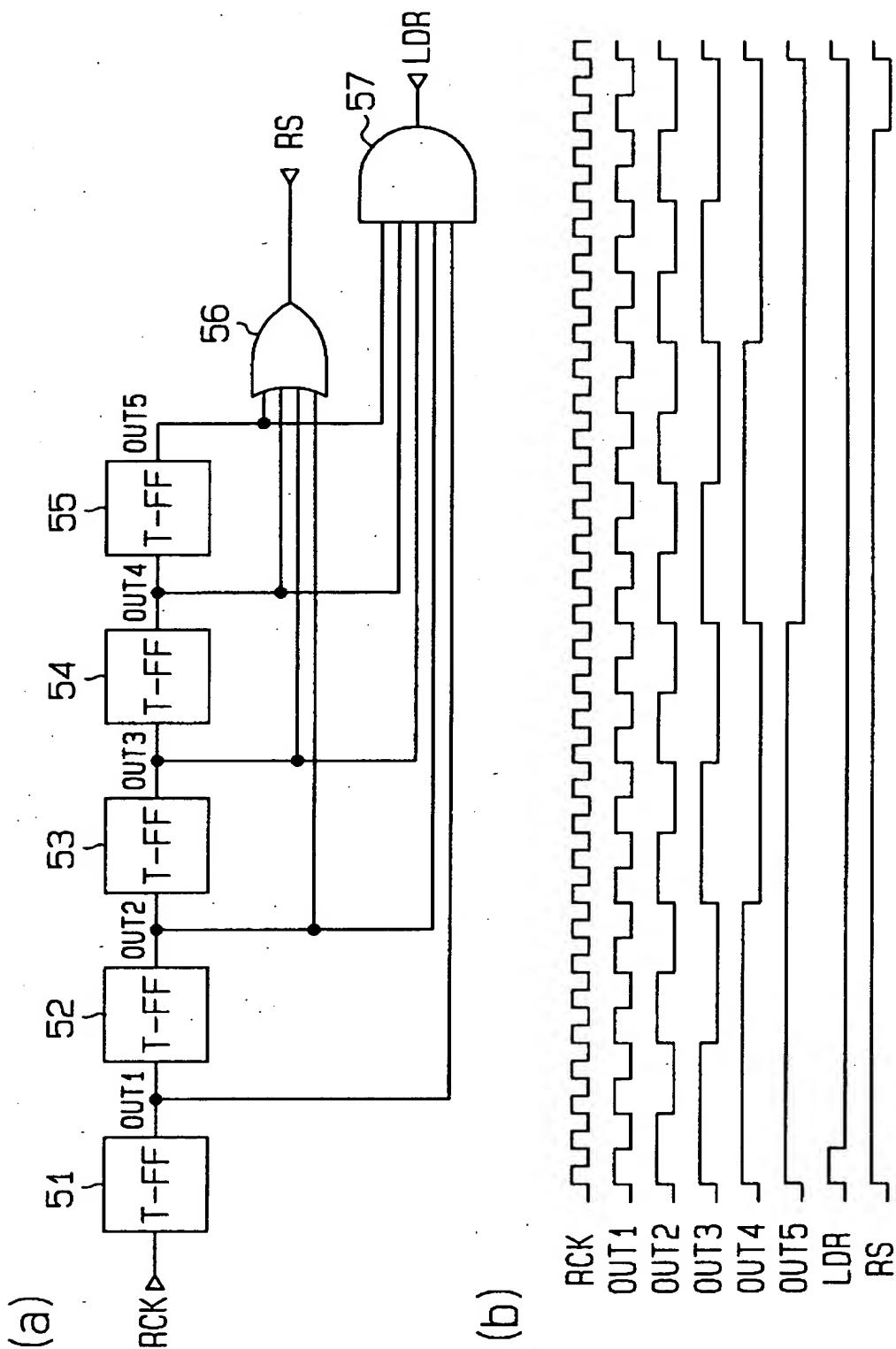
【図2】

## 第一実施形態のチャージポンプ状態検出回路の回路図



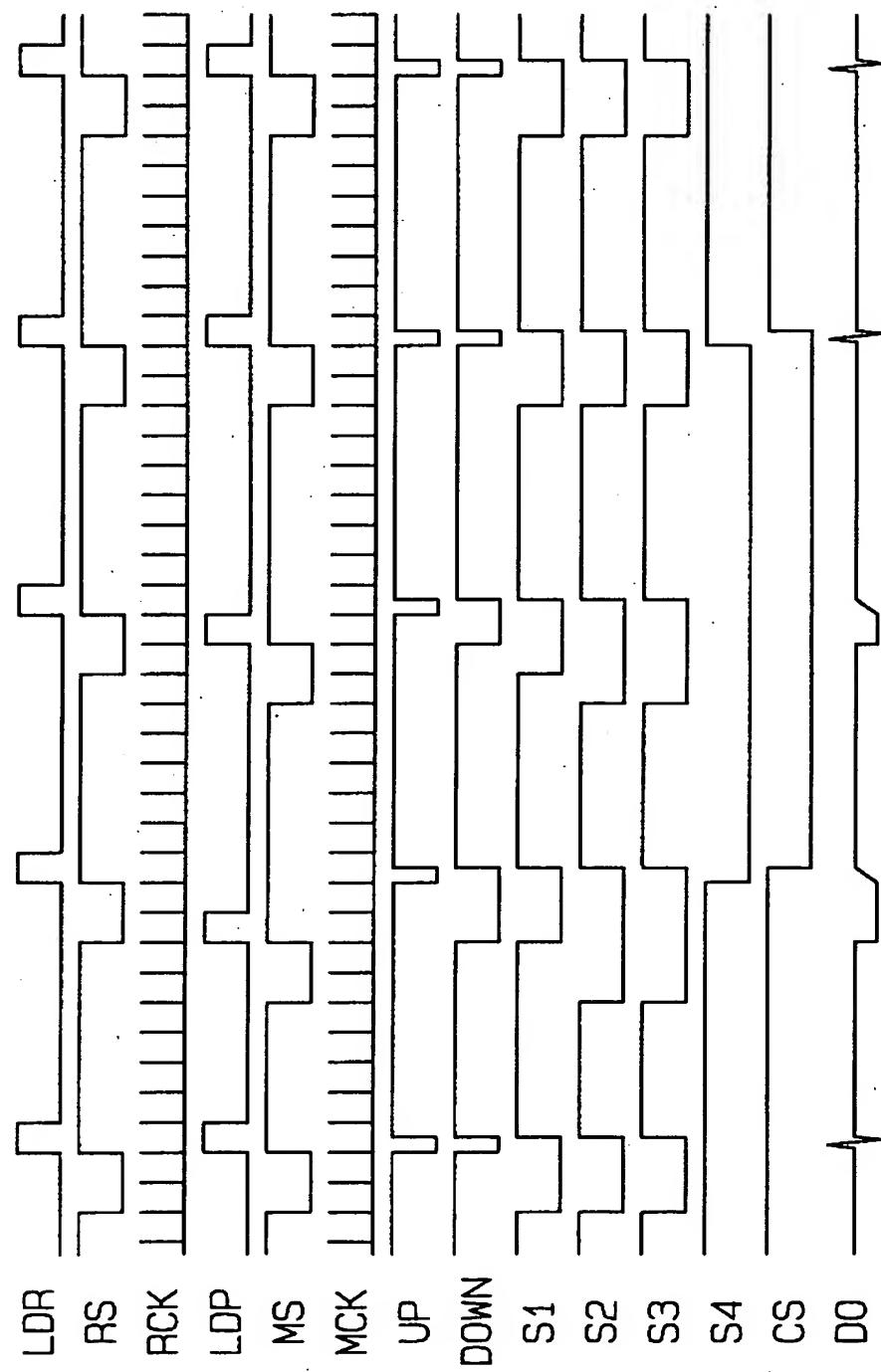
【図3】

カウンタの内部構成例を示す回路図及び出力波形図



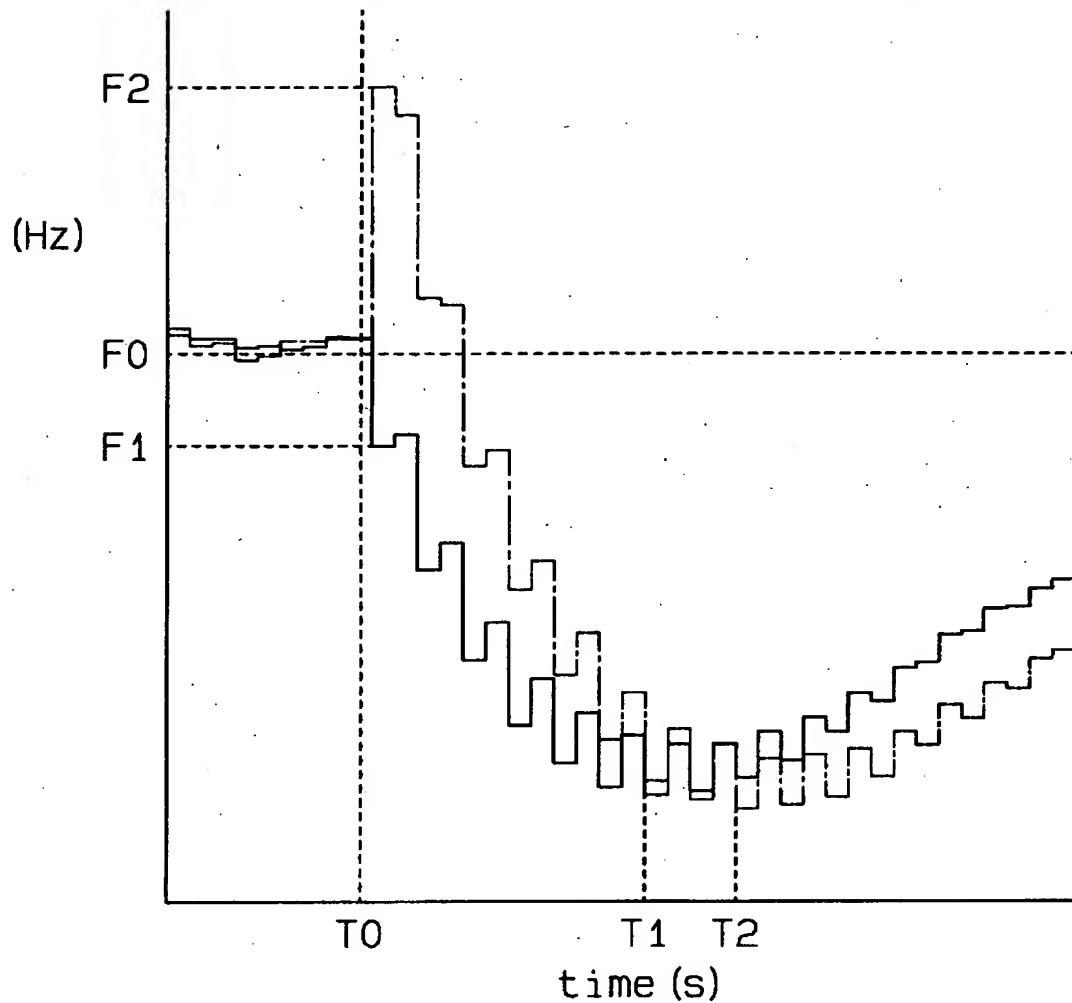
【図4】

第一実施形態のタイミングチャート



【図5】

高速モードから通常モードへのモード切り替え後を示すロック波形図



実線: 本実施形態でのロック波形

点線: 従来回路でのロック波形

F0: ロック周波数

F1: 本実施形態での切り替え直後の位相比較によるロック外れ周波数

F2: 従来回路での切り替え直後の位相比較によるロック外れ周波数

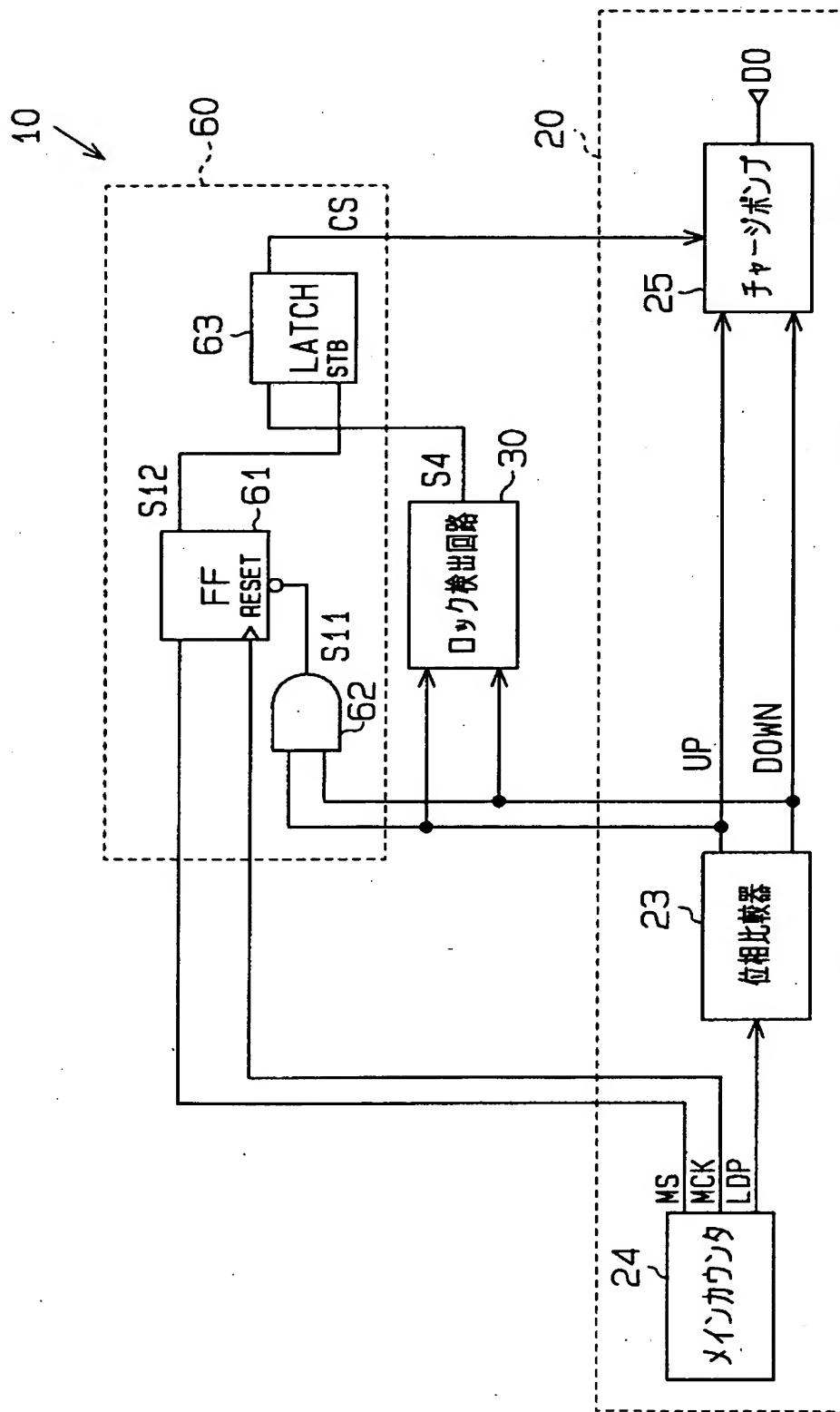
T0: 高速モードから通常モードに切り替え実施時間

T1: 本実施形態での最大ロック外れ到達時間

T2: 従来回路での最大ロック外れ到達時間

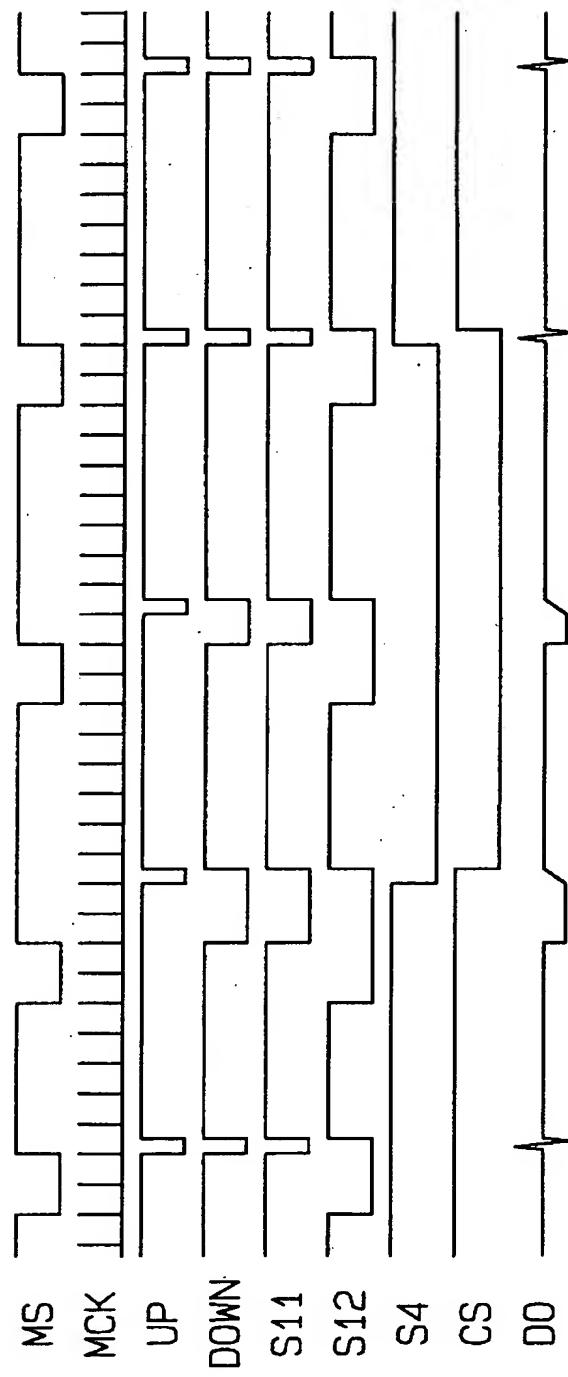
【図6】

## 第二実施形態のチャージポンプ状態検出回路の回路図



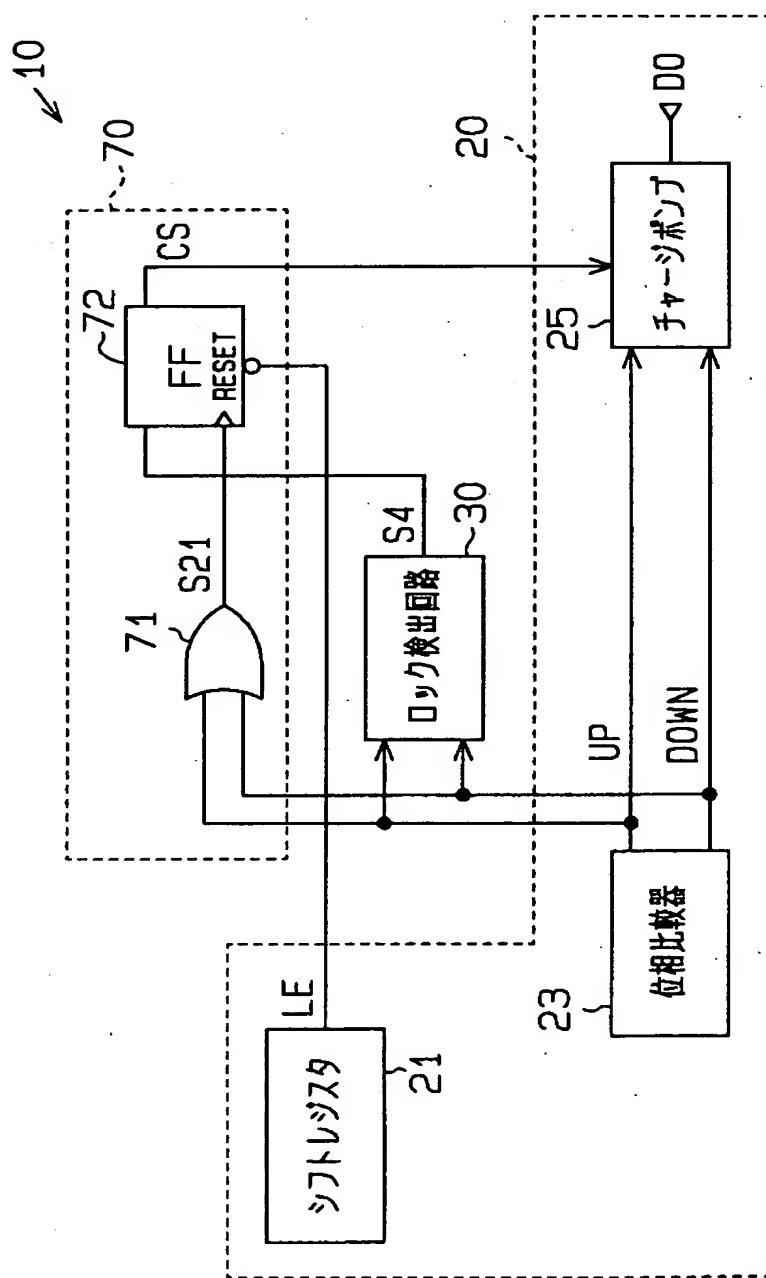
【図7】

第二実施形態のタイミングチャート



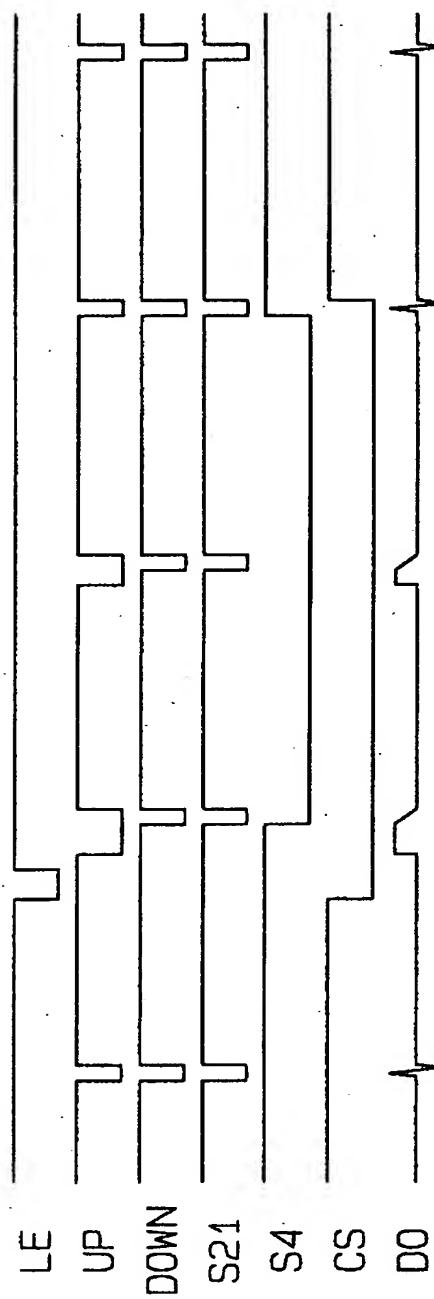
【図8】

## 第三実施形態のチャージポンプと状態検出回路の回路図



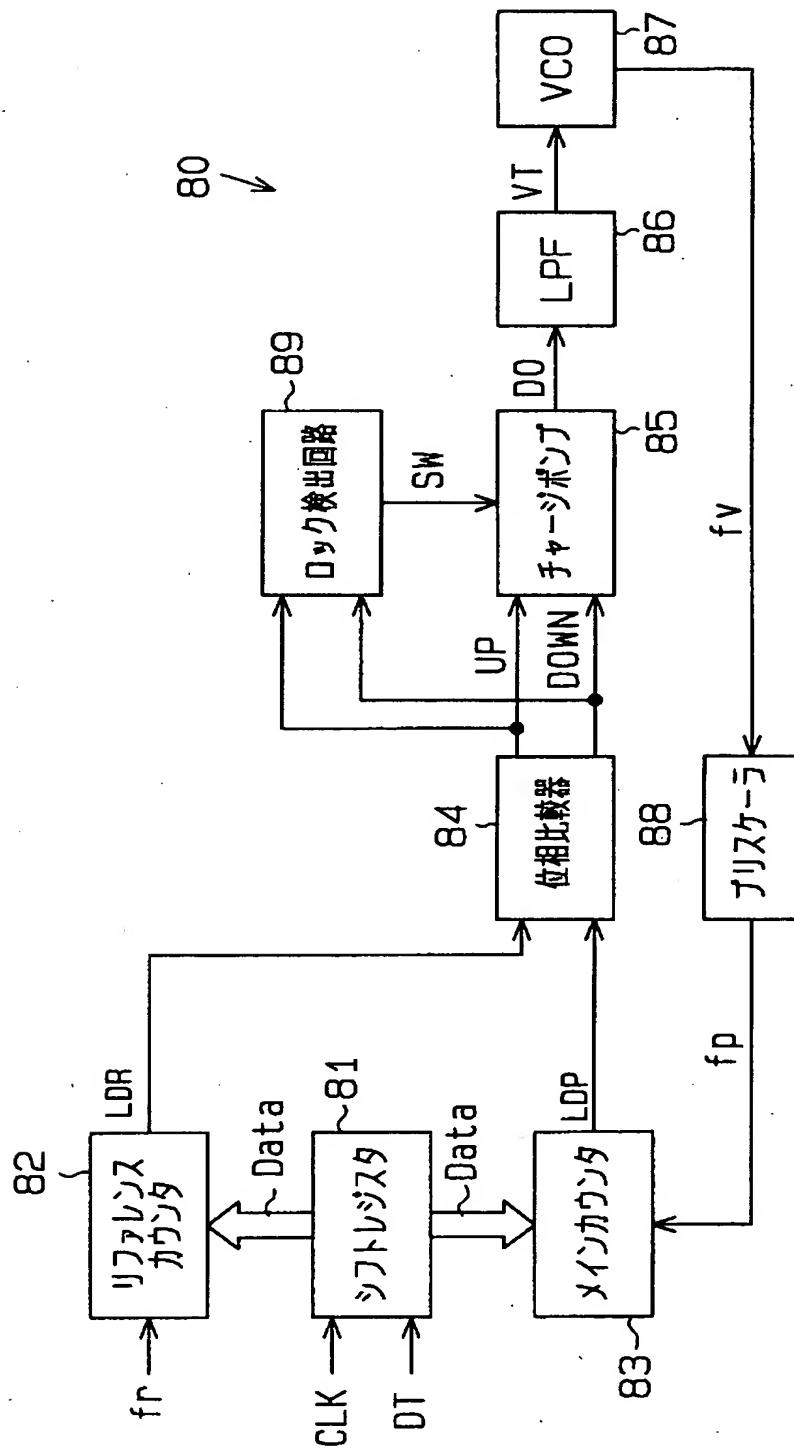
【図9】

第三実施形態のタイミングチャート



【図10】

## 従来のPLL周波数シンセサイザのブロック図



【書類名】 要約書

【要約】

【課題】 高速モードと通常モードとを備えたPLL回路において、高速ロックアップを可能とするPLL回路のモード切替方法及びPLL回路のモード制御回路を提供すること。

【解決手段】 状態検出回路40は、リファレンスカウンタ22、メインカウンタ24の内部状態信号RS, MS、クロック信号RCK, MCK、及び位相比較器23のパルス信号UP, DOWNに基づいてロック検出信号S4をラッチしたモード切替信号CSを出力する。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2  
氏 名 富士通ヴィエルエスアイ株式会社